

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 09-006591

(43)Date of publication of application : 10.01.1997

(51)Int.Cl. G06F 5/00  
// G11C 19/00

(21)Application number : 07-147405

(71)Applicant : HITACHI LTD

(22)Date of filing : 14.06.1995

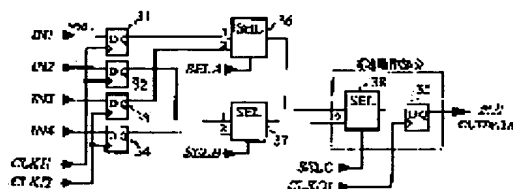
(72)Inventor : WATABE YOSHIHISA

## (54) PARALLEL/SERIAL CONVERSION CIRCUIT

## (57)Abstract:

**PURPOSE:** To make a high speed operation possible by operating a flip-flop for serial data output just before the selector of the final stage in synchronization with the output period of serial data and to suppress power consumption by reducing a circuit part operating at high speed.

**CONSTITUTION:** The outputs of flip-flops 31 and 33 are inputted in a selector 36 and the outputs of flip-flops 32 and 34 are inputted in a selector 37, so that the outputs of bits which become adjacent with each other may not be inputted in the same selector when data becomes serial data. Further, the both of the outputs of the selectors 36 and 37 are inputted in the selector 38 of the next stage (final stage). The output of the selector 38 of the final stage is inputted in the flip-flop 35 just before. This flip-flop 35 becomes a flip-flop for serial data output. The flip-flop 35 is operated by the clock CLK01 operating in synchronization with the period of serial data.



## LEGAL STATUS

[Date of request for examination] 11.09.1998

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number] 3327732

[Date of registration] 12.07.2002

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

327 (3) 1, 2  
(19) 日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平 9 - 6 5 9 1

(43) 公開日 平成9年(1997)1月10日

(51) Int. Cl. <sup>6</sup>	識別記号	庁内整理番号	F I	技術表示箇所
G 0 6 F 5/00			G 0 6 F 5/00	S
// G 1 1 C 19/00			G 1 1 C 19/00	B

審査請求 未請求 請求項の数 7

O L

(全 1 9 頁)

(21) 出願番号 特願平7-147405

(22) 出願日 平成7年(1995)6月14日

(71) 出願人 000005108

株式会社日立製作所

東京都千代田区神田駿河台四丁目6番地

(72) 発明者 渡部 善寿

神奈川県小田原市国府津2880番地 株式会  
社日立製作所ストレージシステム事業部内

(74) 代理人 弁理士 秋本 正実

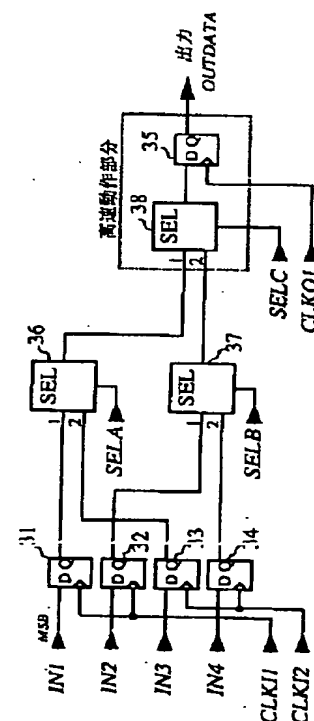
(54) 【発明の名称】 並列直列変換回路

(57) 【要約】

【目的】 デジタルデータの並列直列変換において、高速で動作し、しかも、高速で動作する回路部の少ない、並列直列変換回路を提供することにある。

【構成】 本発明では、 $n$ ビット ( $n \geq 2$ ) の並列入力データを保持するフリップフロップと出力データを保持するフリップフロップの間に、2入力または3入力のセクタを用いる。さらに、そのセクタを少なくとも1段以上で構成する。また、入力データを保持するフリップフロップの取り込みクロックを、2以上 $n$ 以下の位相の異なるクロックとする。最終段のセクタの出力は、出力直列データ出力用の1つのフリップフロップに接続される。この最終段のセクタとフリップフロップは、直列データの出力周期 $T$ で高速に動作する。

【図 1】



## 【特許請求の範囲】

【請求項1】 デジタル信号処理用の並列直列変換回路であって、 $n$ ビット ( $n \geq 2$ ) の並列データを保持する  $n$  個のフリップフロップと変換された直列データを保持する1つのフリップフロップとを備えた並列直列変換回路において、

2個以上  $n$  個以下の同一周波数で互いに位相の異なるクロック群の中から、上記並列データを保持する  $n$  個のフリップフロップの各々について1つのクロックを選択し、選択された各クロックを上記  $n$  個のフリップフロップの各々に入力し、このクロックの入力タイミングにおいて1ビットの並列データを上記  $n$  個のフリップフロップの各々に保持し、

前記  $n$  ビット ( $n \geq 2$ ) の並列データを保持する  $n$  個のフリップフロップと変換された直列データを保持する1つのフリップフロップとの間に、上記  $n$  ビットの並列データを直列データに変換する少なくとも1つ以上のセクタから構成されるセクタ群を少なくとも1段以上設け、

さらに、上記変換された直列データを保持する1つのフリップフロップの直前に設けられたセクタの選択動作と上記直列データを保持するフリップフロップとが、直列データの出力周期に同期して動作することを特徴とする並列直列変換回路。

【請求項2】 前記並列データを保持する  $n$  個のフリップフロップの各々について選択される1つのクロックは、前記直列データを保持するフリップフロップに保持される並列データ順であって、並列データ毎又は直列データに変換されたとき互いに隣接する複数の並列データからなるグループ毎に、位相の早いクロックから順次選択することを特徴とする請求項1記載の並列直列変換回路。

【請求項3】 デジタル信号処理用の並列直列変換回路であって、 $n$ ビット ( $n \geq 4$ ) の並列データを保持する  $n$  個のフリップフロップと変換された直列データを保持する1つのフリップフロップとを備えた並列直列変換回路において、

2個以上  $n$  個以下の同一周波数で互いに位相の異なるクロックから、上記並列データを保持する  $n$  個のフリップフロップの各々について1つのクロックを選択し、選択されたクロックを上記  $n$  個のフリップフロップの各々にクロックとして入力し、このクロックの入力タイミングにおいて1ビットの並列データを上記  $n$  個のフリップフロップの各々に保持し、

前記  $n$  ビット ( $n \geq 4$ ) の並列データを保持する  $n$  個のフリップフロップと変換された直列データを保持する1つのフリップフロップとの間に、上記  $n$  ビットの並列データを直列データに変換するため、少なくとも2入力以上のセクタを複数個設けたセクタ群を1段以上設け、かつ各セクタは上記直列データを保持するフリッ

ブフロップの直列データの出力周期よりも長い周期で動作し、さらに最終段のセクタとして少なくとも2入力以上のセクタを1つ設け、上記最終段のセクタの選択動作と前記直列データを保持するフリップフロップとが、直列データの出力周期に同期して動作すること特徴とする並列直列変換回路。

【請求項4】 前記並列データを保持する  $n$  個のフリップフロップの各々について選択される1つのクロックは、前記直列データを保持するフリップフロップに保持される並列データ順であって、並列データ毎又は直列データに変換されたとき互いに隣接する複数の並列データからなるグループ毎に、位相の早いクロックから順次選択することを特徴とする請求項3記載の並列直列変換回路。

【請求項5】 前記1段以上設けられたセクタ群への並列データの inputs は、並列データが直列データに変換されたときに、隣どうしになるビットの出力が同じセクタに入力されないように構成されていることを特徴とする請求項3記載の並列直列変換回路。

【請求項6】 前記1段以上設けられた各セクタ群における各セクタは、互いに異なる位相又は互いに異なる周期で動作するセクタ制御信号に基づいて、出力の選択動作を行うことを特徴とする請求項3記載の並列直列変換回路。

【請求項7】 上記各段のセクタ群は、2入力セクタ又は3入力セクタから構成され、セクタ群の段数を  $m$  とするとき、次の数1の関係を満たすように構成されていることを特徴とする請求項3記載の並列直列変換回路。

【数1】

【数1】

$n$  が3のべき数でないとき

$$(\log_2 n) - 1 < m \leq \log_2 n$$

$n$  が3のべき数のとき

$$m = \log_3 n$$

( $m, n$  は整数)

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は並列直列変換回路に係り、特に、並列データを直列データに高速に変換するのに好適な並列直列変換回路に関する。

【0002】

【従来の技術】 従来の並列直列変換回路について、図1乃至図14を用いて説明する。

【0003】 図11に示す並列直列変換回路は9ビットの並列入力直列出力方式のシフトレジスタの構成図であり、図12は図11に示す並列直列変換回路の動作を示

すタイムチャートである。図11に示すように、9ビットのデータDATA1~9は、各々2入力のセクタ1~9（図中SEL1~SEL9として示す）の第1の入力端子に入力されている。セクタ1~9の出力は各々フリップフロップ10~18に入力され、前段のフリップフロップの出力は次段のセクタの第2の入力端子に入力されている（例えば、フリップフロップ11の出力は、セクタ1の第2の入力端子に入力されている）。ただし、フリップフロップ18の出力はセクタ8の第2の入力端子とセクタ9の第2の入力端子に入力されている。また、セクタ1~9にはセクタ制御信号SEL-1が入力され、フリップフロップ10~18には周期TのクロックCLK-1が入力されている。

【0004】次に、図11に示す並列直列変換回路の動作について説明する。セクタ制御信号SEL-1がHのタイミングにおいて、セクタ1, 2, ... 9はDATA1からDATA9の並列データを選択し、DATA1からDATA9はそれぞれ2入力のセクタ1~9を通り、フリップフロップ10~18に保持される。次に、セクタ制御信号SEL-1がLのタイミングにおいて、セクタ1~9の入力を切り替え、セクタ1~9は各々フリップフロップ11~18で保持したデータを選択する。この状態でクロックCLK-1がフリップフロップ10~18に入力され、順次、フリップフロップ10から直列データが出力される。フリップフロップ18に保持されたデータが出力されると、また、セクタ1~9の入力を切り替え新しいデータを保持する動作に戻る。これを繰り返して並列データを直列データに変換する。なお、図12において、DTn (n=0, 1...) はDATA1~9から成る直列データを意味し、FF10~18は図11に示すフリップフロップ10~18を意味し、さらにFF10~18及びOUTDATA（出力）における数字1~9は図11に示すDATA1~9を意味している。この回路構成による並列直列変換回路として、TTL IC: 74LS166の回路構成がよく知られている。

【0005】図13は従来技術による並列直列変換回路の他の例を示す回路構成図であり、図14は図13に示す並列直列変換回路の動作を示すタイムチャートである。図13に示す並列直列変換回路は、図11に示す並列直列変換回路における同時動作をする2入力のセクタ1~9を設けること無く、2入力のセクタに比べて回路遅延時間が大きい、多入力のセクタ29を設けた構成を有している。

【0006】

【発明が解決しようとする課題】図11に示す並列直列変換回路を、集積回路でしかも安価な、例えばCMOSプロセス等で実現しようとした場合、同時動作をするセクタの数が多く、そのため、そのセクタ制御信号の負荷が大きくなり、動作速度を低下させるという問題点

がある。また、その動作を直列データの出力周期Tで実行しなければならないので、高速動作に適さないという問題点がある。さらに、CMOSプロセスの場合、消費電力は、動作速度にほぼ比例することから、直列データの出力周期Tに同期して動作する回路が多い回路構成は、消費電力の面からも不利である。

【0007】また、図13に示す並列直列変換回路は、前記したように、多入力のセクタ29の回路遅延時間が大きいので、高速動作できないという問題点がある。

また、この回路の例でも、直列データの出力周期Tに同期して動作する回路が多い回路構成となっている。

【0008】本発明の目的は、デジタルデータの並列直列変換において、高速で動作し、しかも、高速で動作する回路部が少なく、高速動作部分の配線による負荷が小さく、消費電力を少なく抑えられることが可能な並列直列変換回路を提供することにある。

【0009】

【課題を解決するための手段】本願発明の第1の並列直列変換回路は、ディジタル信号処理用の並列直列変換回路であって、nビット (n≧2) の並列データを保持するn個のフリップフロップと変換された直列データを保持する1つのフリップフロップとを備えた並列直列変換回路において、2個以上n個以下の同一周波数で互いに位相の異なるクロック群の中から、上記並列データを保持するn個のフリップフロップの各々について1つのクロックを選択し、選択された各クロックを上記n個のフリップフロップの各々に入力し、このクロックの入力タイミングにおいて1ビットの並列データを上記n個のフリップフロップの各々に保持し、前記nビット (n≧2) の並列データを保持するn個のフリップフロップと変換された直列データを保持する1つのフリップフロップとの間に、上記nビットの並列データを直列データに変換する少なくとも1つ以上のセクタから構成されるセクタ群を少なくとも1段以上設け、さらに、上記変換された直列データを保持する1つのフリップフロップの直前に設けられたセクタの選択動作と上記直列データを保持するフリップフロップとが、直列データの出力周期に同期して動作することを特徴としている。

【0010】上記第1の並列直列変換回路において、前記並列データを保持するn個のフリップフロップの各々について選択される1つのクロックは、前記直列データを保持するフリップフロップに保持される並列データ順であって、並列データ毎又は直列データに変換されたとき互いに隣接する複数の並列データからなるグループ毎に、位相の早いクロックから順次選択するように構成する。

【0011】本願発明の第2の並列直列変換回路は、ディジタル信号処理用の並列直列変換回路であって、nビット (n≧4) の並列データを保持するn個のフリップフロップと変換された直列データを保持する1つのフリ

5

ップフロップとを備えた並列直列変換回路において、2個以上n個以下の同一周波数で互いに位相の異なるクロックから、上記並列データを保持するn個のフリップフロップの各々について1つのクロックを選択し、選択されたクロックを上記n個のフリップフロップの各々にクロックとして入力し、このクロックの入力タイミングにおいて1ビットの並列データを上記n個のフリップフロップの各々に保持し、前記nビット ( $n \geq 4$ ) の並列データを保持するn個のフリップフロップと変換された直列データを保持する1つのフリップフロップとの間に、上記nビットの並列データを直列データに変換するため、少なくとも2入力以上のセクタを複数個設けたセクタ群を1段以上設け、かつ各セクタは上記直列データを保持するフリップフロップの直列データの出力周期よりも長い周期で動作し、さらに最終段のセクタとして少なくとも2入力以上のセクタを1つ設け、上記最終段のセクタの選択動作と前記直列データを保持するフリップフロップとが、直列データの出力周期に同期して動作することを特徴としている。

【0012】ここで、上記第2の直並列変換回路において、前記並列データを保持するn個のフリップフロップの各々について選択される1つのクロックは、前記直列データを保持するフリップフロップに保持される並列データ順であって、並列データ毎又は直列データに変換されたとき互いに隣接する複数の並列データからなるグループ毎に、位相の早いクロックから順次選択するように構成する。

【0013】さらに、上記第2の直並列変換回路において、前記1段以上設けられたセクタ群への並列データの inputs は、並列データが直列データに変換されたときに、隣どうしになるビットの出力が同じセクタに入力されないように構成する。

【0014】さらに、上記第2の直並列変換回路において、前記1段以上設けられた各セクタ群における各セクタは、互いに異なる位相又は互いに異なる周期で動作するセクタ制御信号に基づいて、出力の選択動作を行うように構成する。

【0015】具体例を挙げて説明すると、nビット ( $n \geq 4$ ) の並列入力データを保持するフリップフロップと出力データを保持するフリップフロップの間に、2入力または3入力のセクタを用い、さらに、そのセクタを2段以上で構成する。このときのセクタの構成は、次の様にする。まず、初段のセクタでは、並列データが直列データになったときに、隣どうしになるビットの出力が同じセクタに入力されないように接続する。2段目以降のセクタの構成も、同様に、直列データになったときに、隣どうしになるビットの出力が通るパスが同じセクタに入力されないようにする。ただし、最終段のセクタに入力されるときは、この限りに非ず、すべて最終段のセクタに接続する。最終段のセクタ

(4)

6

は、並列データのビット数が偶数の場合、2入力であり、奇数の場合、3入力である。また、セクタの段数は、セクタの段数をmとしたとき、数1で表わされるmの値で構成できる。

【0016】

【数2】

【数2】

10

nが3のべき数でないとき  
 $(\log_2 n) - 1 < m \leq \log_2 n$

nが3のべき数のとき  
 $m = \log_3 n$

(m,nは整数)

20

【0017】また、並列データを2個以上n個以下の異なる位相のクロックでフリップフロップに保持する。入力データを保持するフリップフロップの取り込みタイミングは、早く出力するデータ側を早い位相のクロックで取り込み、遅く出力するデータ側を遅い位相のクロックで取り込む。このクロックの位相差は、直列データの出力周期をTとすればT以上であり、望ましくは、入力データを保持するレジスタ(フリップフロップ)の次にくる、初段の2入力または3入力のセクタ群におけるセクタの数をaとしたとき、T, 2T ~ (a-1)Tの位相差がある複数のクロックで構成する。

【0018】最終段のセクタの出力は、出力直列データ出力用の1個のフリップフロップに入力される。データパス上の最終段のセクタと出力用のフリップフロップのみが、直列データの出力周期Tで動作する。

30

【0019】

【作用】本発明によれば、高速動作する回路は、最終段のセクタと直列データを保持するフリップフロップだけで良いため、高速動作する回路部を少なくすることが可能になる。

【0020】また、最終段のセクタと直列データを保持するフリップフロップを除いて、回路遅延時間を大きく設定することができる。このため、高速動作が可能な並列直列変換回路構成となる。

40

【0021】さらに、高速動作部分が少ないため、レイアウトもその部分をまとめることができ、高速動作部分の配線による負荷を小さくすることができ、高速動作に有利であり、消費電力も抑えられる効果がある。

【0022】

【実施例】以下、添付の図面を用いて本発明の実施例について説明する。

【0023】図1は、本発明の並列直列変換回路の第1の実施例を示すブロック図であり、図2はその動作を示すタイムチャートである。図1に示す並列直列変換回路は、最も簡単な4ビットの場合についての構成を示した実施例である。図示するように、4ビットの並列データ

50

(図2において、DT0、DT1等として示す)を保持するための4個のフリップフロップ31~34が設けられている。このうち、フリップフロップ31、32は早い位相のクロックCLKI1で動作し、フリップフロップ33、34は遅い位相のクロックCLKI2で動作するように接続されている(図2参照)。

【0024】フリップフロップ31~34の出力は、2入力セクタ36、37に入力される。また、セクタ36にはセクタ制御信号SELAが入力され、セクタ37にはセクタ制御信号SELBが入力されている。ここで、直列データになったときに、隣どうしになるビットの出力が同じセクタに入力されないように、フリップフロップ31~34の出力をセクタ36、37に入力する。つまり、フリップフロップ31、33の出力はセクタ36に入力され、フリップフロップ32、34の出力はセクタ37に入力される。さらに、セクタ36、37の出力は、共に次段のセクタ38に入力され、セクタ38にはセクタ制御信号SELCが入力されている。なお、一般的には、セクタの出力を次段のセクタに接続する場合、直列データになったときに、隣どうしになるビットの出力が通るパスが同じセクタに入力されないように接続する。しかし、最終段のセクタに接続するときは、この限りに非ず、すべて最終段のセクタに接続する。図1に示す実施例では、セクタ38が最終段であるので、セクタ36、37の両方の出力が接続される。最終段のセクタ38の出力は、フリップフロップ35に入力される。このフリップフロップ35が、直列データ出力用のレジスタ(フリップフロップ)となる。フリップフロップ35は、直列データの周期Tで動作するクロックCLKO1で動作する。

【0025】次に、実際の回路動作について説明する。まず、データIN1が出力される動作について、図2に示すタイムチャートのタイミング1~3を用いて説明する。この例では、クロックCLKI1は、クロックCLKI2よりも周期T(CLKO1の周期)だけ早い位相であり、周期が4Tのクロックである。4ビットデータIN1~IN4のうち、上位2ビットのデータIN1とIN2はクロックCLKI1の立ち上がりタイミング1で保持される。データIN1は、フリップフロップ31から出力され、セクタ36の第1の入力端子に到達する。このとき、セクタ36はセクタ制御信号SELAにより、タイミング1で第1の入力端子を選択する(図2参照)。したがって、データIN1はセクタ36を通り、セクタ38に到達する。タイミング1のときには、セクタ38のセクタ制御信号SELCは、まだ、第2の入力端子を選択している。この状態を保持したまま、タイミング2になる。

【0026】タイミング2になると、セクタ制御信号SELCが、セクタ38の第1の入力端子を選択す

る。ここで初めて、データIN1はセクタ38を通して、フリップフロップ35の入力端子に到達する。また、この状態を保持したまま、タイミング3になる。

【0027】タイミング3になると、フリップフロップ35の入力端子に到達していたデータIN1は、フリップフロップ35を介して直列データとして出力される。

【0028】以上の説明から明らかなように、データIN1が、フリップフロップ31の入力端子からフリップフロップ35の入力端子に到達するまでは、2Tの遅延時間で良く、セクタ36のセクタ制御信号SELAを基準としたパスの遅延時間も2Tで良いことになり、セクタ38のセクタ制御信号SELCを基準としたパスの遅延時間はTである。

【0029】同様に、データIN2が出力される動作について、図2に示すタイムチャートのタイミング9~12を用いて説明する。データIN2は、クロックCLKI1が立ち上がるタイミング9において、すでにフリップフロップ32に保持されている。データIN2はフリップフロップ32から出力され、セクタ37の第1の入力端子に到達する。このとき、セクタ37のセクタ制御信号SELBは、第2の入力端子を選択しているの

ので、データIN2はセクタ37を通過できない。【0030】タイミング10になると、セクタ37のセクタ制御信号SELBは第1の入力端子を選択するので、データIN2はセクタ37を通り、セクタ38に到達する。このタイミング10においては、セクタ38のセクタ制御信号SELCは、まだ、第1の入力端子を選択している。したがって、この状態が保持されたまま、タイミング11になる。

【0031】タイミング11になると、セクタ38のセクタ制御信号SELCが、第2の入力端子を選択する。ここで初めて、データIN2は、フリップフロップ35の入力端子に到達する。そして、この状態が保持されたまま、タイミング12になる。タイミング12になると、フリップフロップ35の入力端子に到達したデータIN2は、直列データとして出力される。

【0032】したがって、データIN2が、フリップフロップ32の入力端子からフリップフロップ35の入力端子に到達するまでは3Tの遅延時間で良いことになり、セクタ37のセクタ制御信号SELBを基準としたパスの遅延時間は2Tで良いことになり、セクタ38のセクタ制御信号SELCを基準としたパスの遅延時間はTである。

【0033】続いて、データIN3が出力される動作について、図2に示すタイムチャートのタイミング6~9を用いて説明する。データIN3は、クロックCLKI1よりTだけ遅い位相のクロックCLKI2の立ち上がりタイミング6において、すでに保持されている。データIN3はフリップフロップ33から出力され、セクタ36の第2の入力端子に到達する。このとき、セクタ

36のセクタ制御信号SEL Aは第1の入力端子を選択しているため、データIN3はセクタ36を通過できない。

【0034】タイミング7になると、セクタ36のセクタ制御信号SEL Aは第2の入力端子を選択するので、データIN3はセクタ36を通り、セクタ38に到達する。このタイミングのときには、セクタ38のセクタ制御信号SEL Cは、まだ、第2の入力端子を選択している。この状態を保持したまま、タイミング8になる。

【0035】タイミング8になると、セクタ38のセクタ制御信号SEL Cが第1の入力端子を選択する。ここで初めて、データIN3は、フリップフロップ35の入力端子に到達する。またこの状態を保持したまま、タイミング9になる。

【0036】タイミング9になると、フリップフロップ35の入力端子に到達したデータIN3は、直列データとして出力される。

【0037】したがって、データIN3が、フリップフロップ33の入力端子からフリップフロップ35の入力端子に到達するまでは3Tの遅延時間で良いことになり、セクタ36のセクタ制御信号SEL Aを基準としたパスの遅延時間は2Tで良いことになり、セクタ38のセクタ制御信号SEL Cを基準としたパスの遅延時間はTである。

【0038】最後に、データIN4が出力される動作について、図2に示すタイムチャートのタイミング2~6を用いて説明する。データIN4は、クロックCLK1よりもTだけ遅い位相のCLK2立ち上がりのタイミング2で、すでにフリップフロップ34に保持されている。データIN4は、フリップフロップ34から出力され、セクタ37の第2の入力端子に到達する。このとき、セクタ37のセクタ制御信号SEL Bは第1の入力端子を選択しているため、データIN4はセクタ37を通過できない。

【0039】タイミング4になると、セクタ37のセクタ制御信号SEL Bは第2の入力端子を選択するので、データIN4はセクタ37を通り、セクタ38に到達する。このタイミングのときには、セクタ38のセクタ制御信号SEL Cは、まだ第1の入力端子を選択している。この状態を保持したまま、タイミング5になる。

【0040】タイミング5になると、セクタ38のセクタ制御信号SEL Cが第2の入力を選択する。ここで初めて、データIN4は、フリップフロップ35の入力端子に到達する。さらに、この状態を保持したまま、タイミング6になる。

【0041】タイミング6になると、フリップフロップ35の入力端子に到達したデータIN4は、直列データとして出力される。

【0042】したがって、データIN4が、フリップフロップ34の入力端子からフリップフロップ35の入力端子に到達するまでは4Tの遅延時間で良いことになり、さらに詳しくはセクタ37のセクタ制御信号SEL Bを基準としたパスの遅延時間は2Tの遅延時間で良いことになり、セクタ38のセクタ制御信号SEL Cを基準としたパスの遅延時間はTである。

【0043】このように、入出力のフリップフロップ間に存在するセクタ回路(36, 37, 38)の通過に要する時間は、どのパスにおいても2T以下であれば十分であり、また、最終段のセクタのみがTで動作すれば良い。

【0044】次に、図3と図4を用いて、本発明の第2の実施例について説明する。図3は9ビットの並列データを直列データに変換する並列直列変換回路を示すブロック図であり、図4はその動作を示すタイムチャートである。図3に示すように、9ビットの並列データ(図4において、DT0, DT1等として示す)を保持するための9個のフリップフロップ40~48が設けられている。これらのフリップフロップ40~48のうち、フリップフロップ40~43は早い位相のクロックCLK-3で動作し、44~48は遅い位相のクロックCLK-5で動作するように接続されている(図4参照)。フリップフロップ40~48の出力は、3入力セクタ50~52に入力される。このとき、各DATA1~9が直列データになったときに、隣どうしになるビットの出力が同じセクタに入力されないように、フリップフロップ40~48とセクタ50~52とを接続する。また、セクタ50にはセクタ制御信号SEL-3が入力され、セクタ51にはセクタ制御信号SEL-4が入力され、セクタ52にはセクタ制御信号SEL-5が入力されている(図4参照)。さらに、セクタ50~52の出力は、次段の3入力セクタ53に接続され、セクタ36にはセクタ制御信号SEL-6が入力されている(図4参照)。セクタ53は最終段のセクタであり、その出力はフリップフロップ49に入力される。このフリップフロップ49は、直列データ出力用のレジスタ(フリップフロップ)となる。フリップフロップ49は、直列データの周期Tで動作するクロックCLK-1で動作する(図4参照)。

【0045】実際の回路動作は、図4から明らかなように、基本的には図1に示す第1の実施例と同様である。すなわち、図3と図4に示すように、データDATA1~9がそれぞれセクタ50~52を通り、次にセクタ53を通過して、フリップフロップ49に入力されるまでの遅延時間は3T以下である。また、セクタ53のセクタ制御信号SEL-6を基準としたパスの遅延時間はTである。したがって、この第2の実施例の場合においても、セクタ53とフリップフロップ49がTで動作すれば良いことがわかる。このように、入出力のフ

リップフロップ間に存在するセクタ回路(50~52, 53)をデータが通過するのに要する時間は、どのパスにおいても3T以下で良く、また、最終段のセクタのみが1Tで動作すれば良い。

【0046】なお、図3において、リップフロップ41~47を図4に示すクロックCLK-4で動作させ、リップフロップ40をクロックCLK-3で動作させ、さらに、リップフロップ48をクロックCLK-5で動作させるように構成しても良い。この場合においても、上記と全く同様に動作する。クロックCLK-4は、図4から明らかなように、クロックCLK-3よりもTだけ遅い位相のクロックであり、かつクロックCLK-5よりもTだけ早い位相のクロックである。このような構成は、3個の異なる位相のクロックで動作する場合の例となる。

【0047】また、クロックCLK-3を使うことなく、クロックCLK-4とクロックCLK-5の2つのクロックを使って構成することも可能である。ただし、この場合には、データDATA1からのパスは、2Tの遅延時間で動作させなければならない。

【0048】図5は第2の実施例に用いられるセクタ制御回路(セクタ制御信号SEL-3~SEL-6の発生回路)の具体例であり、13個のリップフロップ70~82と11個の論理回路83~93とから構成されている。また、図6は図5に示すセクタ制御回路の動作を示すタイムチャートである。タイムチャートの各波形についている番号は、波形が1レベル(ハイレベル)のときにどの並列入力データを選択しているかが分かるようにしたもので、例えば、1は並列入力データのDATA1を表わし、2は並列入力データのDATA2を表わすという具合である。セクタ制御信号SEL-3~SEL-6は、図5及び図6から明らかなように3ビットの信号であり、各ビットが1レベル(ハイレベル)のとき図6に示している並列入力データを選択するものである。また、図3に示すセクタ50~53としては、AND-OR型のセクタであることを前提としている。

【0049】3個のリップフロップ70~72は、リングカウンタの構成をしていて、それらのリップフロップの出力は、図3と図4に示すセクタ53のセクタ制御信号SEL-6となる。また、制御信号SEL-6は、図5において、セクタ制御回路内の制御信号(クロック)としても使われる。セクタ53は、CLK-1に同期して動作するので、制御信号SEL-6もCLK-1に同期した信号として生成される。すなわち、図5に示す制御回路において、リップフロップ70~72だけが、高速のクロックCLK-1で動作する。但し、出力されるセクタ制御信号SEL-6の周期は、

クロックCLK-1の周期の3倍である。さらに、セクタ制御信号SEL-6は、入力並列データの周期に対して、いつも一定の位相関係になければならないので、クロックCLK-5を用いて、位相を確定させている。すなわち、図6から明らかなように、クロックCLK-5の立ち上がりに同期してDATA1を選択するように、リップフロップ72が1レベル(ハイレベル)を出力するように構成されている。

【0050】リップフロップ74~82は、図5から明らかなように、クロックCLK-5で動作し、その動作周期は並列データと同一である。すなわち、図4に示す並列データDT1, DT2等もクロックCLK-5と同一の周期となっている。そして、リップフロップ74~82の出力から、セクタ制御信号SEL-3~SEL-5が形成されている。これらのセクタ制御信号SEL-3~SEL-5は全て位相が異なり、セクタ50~53を所望のタイミングで動作させることが可能である。

【0051】リップフロップ73及び論理回路84, 86, 92, 93は、セクタ制御信号SEL-3~SEL-5の初期位相を確定させるための回路であり、ここでもクロックCLK-5を用いて、位相を確定させている。リップフロップ73は、リップフロップ70の出力信号で動作する回路であり、出力データの周期は並列データと同じである。

【0052】次に、図7と図8を用いて、本発明の第3の実施例について説明する。図7は8ビットの並列データを直列データに変換する並列直列変換回路のブロック図であり、図8はその動作を示すタイムチャートである。図7に示すように、8ビットの並列データ(図8において、DT0, DT1等として示す)を保持するための8個のリップフロップ54~61が設けられている。これらのリップフロップ54~61のうち、リップフロップ54~57が早い位相のクロックCLK-6で動作し、リップフロップ58~61が遅い位相のクロックCLK-7で動作するように構成されている(図8参照)。リップフロップ54~61の出力は、2入力セクタ63~66に入力される。このとき、第1及び第2の実施例と同様に、直列データになったときに、隣どうしになるビットの出力が同じセクタに入力されないように接続する。さらに、セクタ63~66の出力は、次段のセクタ67~68に入力される。このときも、直列データになったときに、隣どうしになるビットの通るパスが同じセクタに入力されないように接続する。セクタ67, 68の出力は、次段のセクタ69に入力される。セクタ69は最終段であり、その出力は、リップフロップ62に入力される。このリップフロップ62が、直列データ出力用のレジスタ(リップフロップ)となる。リップフロップ62は、直列データの周期Tで動作するクロックCLK-1

で動作する。

【0053】次に、実際の回路動作について説明する。データDATA1～8が、それぞれセクタ63～66を通り、次にセクタ67～68を通り、最後にセクタ69を通して、フリップフロップ62の入力端子に到達するまでの遅延時間は、4Tまで可能ある。セクタ67、68のセクタ制御信号SEL-15、SEL-16を基準としたパスの遅延時間は、2Tまで可能ある。セクタ69のセクタ制御信号SEL-17を基準としたパスの遅延時間はTである。したがって、この場合も、セクタ69とフリップフロップ62が、Tで動作すれば良いことがわかる。このように、入出力のフリップフロップ間のセクタ(63～69)の通過に要する時間は、どのパスにおいても4T以下で良く、また、最終段のセクタ69のみがTで動作すれば良い。

【0054】次に、図9と図10を用いて、本発明の第4の実施例について説明する。図9は9ビットの並列データを直列データに変換する並列直列変換回路を示すブロック図であり、図10はその動作を示すタイムチャートである。図9に示すように、9ビットの並列データ

(図10において、DT0、DT1等として示す)を保持するための4個のフリップフロップ101～104が設けられている。これらのフリップフロップ101～104のうち、フリップフロップ101、102は早い位相のクロックCLKI1で動作し、フリップフロップ103、104は遅い位相のクロックCLKI2で動作するように接続されている(図9参照)。フリップフロップ101～104の出力は、4入力セクタ106に接続される。セクタ106の出力は、フリップフロップ105に入力される。このフリップフロップ105が、直列データ出力用のレジスタ(フリップフロップ)となる。フリップフロップ105は、直列データの周期Tで動作するクロックCLKO1で動作する。

【0055】次に、実際の回路動作について説明する。まず、データIN1が出力される動作を、図10のタイムチャートに示すタイミング1～3を用いて説明する。この実施例では、クロックCLKI1は、クロックCLKI2よりもTだけ早い位相を持ち、かつ周期が4Tのクロックである。4ビットデータのうち、上位2ビットのデータIN1、IN2は、クロックCLK1の立ち上がりタイミング1でフリップフロップ101、102にそれぞれ保持される。データIN1はフリップフロップ101から出力され、セクタ106の第1の入力端子に到達する。このとき、セクタ106のセクタ制御信号SELCは、タイミング1において第4の入力端子(データIN4)を選択しているため、データIN1はセクタ106を通過することはできない(図10参照)。この状態を保持したまま、タイミング2になる。

【0056】タイミング2になると、セクタ106はセクタ制御信号SELCにより第1の入力端子を選択

する。ここで初めて、データIN1は、フリップフロップ105の入力端子に到達する。この状態を保持したまま、タイミング3になる。

【0057】タイミング3になると、フリップフロップ105の入力端子に到達していたデータIN1は、直列データとして出力される。したがって、フリップフロップ101の入力端子にあるデータIN1が、フリップフロップ105の入力端子に到達するまでは2Tの遅延時間で良いことになり、セクタ106のセクタ制御信号SELCを基準としたパスの遅延時間はTである。

【0058】次に、データIN2が出力される動作について、図10のタイムチャートに示すタイミング1～4を用いて説明する。データIN2は、クロックCLK1の立ち上がりタイミング1において、フリップフロップ102に保持される。データIN2はフリップフロップ102から出力され、セクタ106の第2の入力端子に到達する。このとき、セクタ106はセクタ制御信号SELCにより第4の入力端子を選択しているため、データIN2はセクタ106を通過できない。この状態を保持したまま、タイミング3になる。

【0059】タイミング3になると、セクタ106はセクタ制御信号SELCにより第2の入力端子を選択する。ここで初めて、データIN2は、フリップフロップ105の入力端子に到達する。次に、この状態を保持したまま、タイミング4になる。

【0060】タイミング4になると、フリップフロップ105の入力端子に到達したデータIN2は、直列データとして出力される。したがって、フリップフロップ102の入力端子にあるデータが、フリップフロップ105の入力端子に到達するまでは3Tの遅延時間で良いことになり、セクタ106のセクタ制御信号SELCを基準としたパスの遅延時間はTである。

【0061】次に、データIN3が出力される動作について、図10のタイムチャートに示すタイミング2～5を用いて説明する。データIN3は、クロックCLK1によりクロックCLK2の立ち上がりのタイミング2において、フリップフロップ103に保持される。データIN3はフリップフロップ103から出力され、セクタ106の第3の入力端子に到達する。このとき、セクタ106はセクタ制御信号SELCにより第1の入力端子を選択しているため、データIN3はセクタ106を通過できない。次に、この状態を保持したまま、タイミング4になる。

【0062】タイミング4になると、セクタ106はセクタ制御信号SELCにより第3の入力端子を選択し、これにより、データIN3はフリップフロップ105の入力端子に到達する。この状態を保持したまま、タイミング5になる。

【0063】タイミング5になると、フリップフロップ105の入力端子に到達したデータIN3は、直列デー

タとして出力される。したがって、フリップフロップ103の入力端子にあるデータIN3が、フリップフロップ105の入力端子に到達するには3T以内であれば良く、セクタ106のセクタ制御信号SELCを基準としたパスの遅延時間がT以内であれば良い。

【0064】最後に、データIN4が出力される動作について、図10のタイムチャートに示すタイミング2～6を用いて説明する。データIN4は、クロックCLK1よりクロックCLK2の立ち上がりのタイミング2において、フリップフロップ104に保持される。データIN4は、フリップフロップ104から出力され、セクタ106の第4の入力端子に到達する。このとき、セクタ106はセクタ制御信号SELCにより第1の入力端子を選択しているため、データIN4はセクタ106を通過できない。

【0065】タイミング5になると、セクタ106はセクタ制御信号SELCにより第4の入力端子を選択する。これにより、データIN4は、フリップフロップ105の入力に到達する。またこの状態を保持したまま、タイミング6になる。

【0066】タイミング6になると、フリップフロップ105の入力端子に到達していたデータIN4は、直列データとして出力される。したがって、フリップフロップ104の入力端子にあるデータIN4が、フリップフロップ105の入力端子に到達するには4T以内であれば良く、セクタ106のセクタ制御信号SELCを基準としたパスの遅延時間はT以内であれば良い。

【0067】このように、入出力のフリップフロップ間のセクタ(106)の通過に要する時間は、どのデータパスにおいても2T以内であれば良く、また、最終段のセクタのみがTで動作すれば良い。

【0068】

【発明の効果】本発明によれば、高速動作する回路は、最終段のセクタと直列データを保持するフリップフロップだけで良いため、高速動作する回路部を少なくすることが可能になる。

【0069】また、最終段のセクタと直列データを保持するフリップフロップを除いて、回路遅延時間を大き

く設定することができる。このため、高速動作が可能な並列直列変換回路構成となる。

【0070】さらに、高速動作部分が少ないため、レイアウトもその部分をまとめることができ、高速動作部分の配線による負荷を小さくすることができ、高速動作に有利であり、消費電力も抑えられる効果がある。

【0071】したがって、本発明によれば、デジタルデータ信号の高速な並列直列変換が実現できる。また、本発明による並列直列変換回路を適用した信号処理装置は、高速動作に対応することが可能になる。

【図面の簡単な説明】

【図1】本発明の第1の実施例を示すブロック図。

【図2】図1に示す第1の実施例の動作を説明するためのタイムチャート。

【図3】本発明の第2の実施例を示すブロック図。

【図4】図3に示す第2の実施例の動作を説明するためのタイムチャート。

【図5】本発明の第2の実施例において用いられるセクタ制御回路の具体例を示すブロック図。

【図6】図5に示すセクタ制御回路の動作を説明するためのタイムチャート。

【図7】本発明の第3の実施例を示すブロック図。

【図8】図7に示す第3の実施例の動作を説明するためのタイムチャート。

【図9】本発明の第4の実施例を示すブロック図。

【図10】図9に示す第4の実施例の動作を説明するためのタイムチャート。

【図11】従来技術の一例を示すブロック図。

【図12】図11に示す従来技術の動作を説明するためのタイムチャート。

【図13】従来技術の一例を示すブロック図。

【図14】図13に示す従来技術の動作を説明するためのタイムチャート。

【符号の説明】

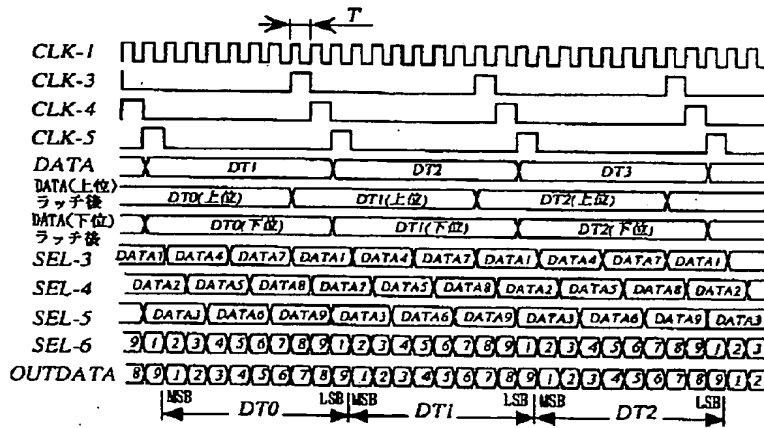
31～35, 40～49, 54～62, 70～82, 101～105…フリップフロップ、36～38, 50～53, 63～69, 106…セクタ、83～93…論理回路。

Timing diagram for the 74VHC163 4-bit counter. The diagram shows 16 clock cycles. CLK01 is the main clock. CLKI1 and CLKI2 are inputs. IN[1:4] are data inputs, IN[3:4] are data inputs with a delay. SELA, SELB, SELC are select inputs. OUT is the output. The diagram shows the counter's operation, including the output of the 4-bit counter (OUT) and the output of the 16-bit counter (OUT). The output of the 4-bit counter is shown as a sequence of 16 bits: IN3, IN4, IN3, IN2, IN3, IN2, IN1, IN2, IN4, IN1, IN3, IN4, IN1, IN2, IN3, IN2. The output of the 16-bit counter is shown as a sequence of 16 bits: IN3, IN4, IN3, IN2, IN3, IN2, IN1, IN2, IN4, IN1, IN3, IN4, IN1, IN2, IN3, IN2. The diagram also shows the output of the 16-bit counter (OUT) as a sequence of 16 bits: IN3, IN4, IN3, IN2, IN3, IN2, IN1, IN2, IN4, IN1, IN3, IN4, IN1, IN2, IN3, IN2.

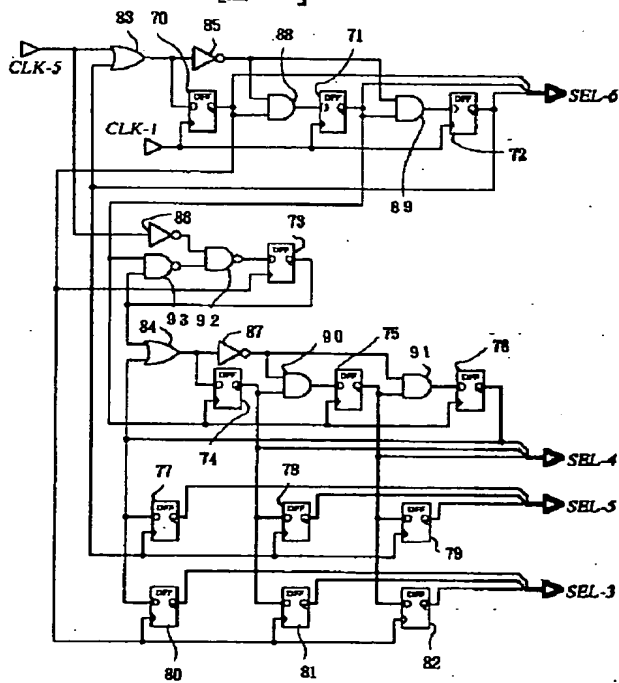
Figure 1 is a block diagram of a 9-bit parallel-to-serial converter. It consists of the following components and connections:

- Data Inputs:** DATA1 through DATA9 are connected to the D inputs of flip-flops 40 through 48, respectively.
- Flip-Flops:** Nine D-type flip-flops (40-48) are used. Flip-flops 40-42 have their MSB inputs connected to DATA1-3. Flip-flops 43-45 have their MSB inputs connected to DATA4-6. Flip-flops 46-48 have their MSB inputs connected to DATA7-9. All flip-flops have their Q outputs connected to the inputs of multiplexers 50, 51, and 52.
- Multiplexers:** Three 3-to-1 multiplexers (50, 51, 52) are used. Their outputs are connected to multiplexer 53 and flip-flop 49.
  - Multiplexer 50 has inputs 1, 2, and 3 connected to the Q outputs of flip-flops 40, 41, and 42, respectively. Its output is connected to the input of flip-flop 49.
  - Multiplexer 51 has inputs 1, 2, and 3 connected to the Q outputs of flip-flops 43, 44, and 45, respectively. Its output is connected to the input of flip-flop 49.
  - Multiplexer 52 has inputs 1, 2, and 3 connected to the Q outputs of flip-flops 46, 47, and 48, respectively. Its output is connected to the input of flip-flop 49.
- Control Signals:**
  - SEL-3, SEL-4, and SEL-5 are connected to the select inputs of multiplexers 50, 51, and 52, respectively.
  - SEL-6 is connected to the select input of multiplexer 53.
  - CLK-1 is connected to the clock input of flip-flop 49.
- Output:** The output of flip-flop 49 is OUTDATA.

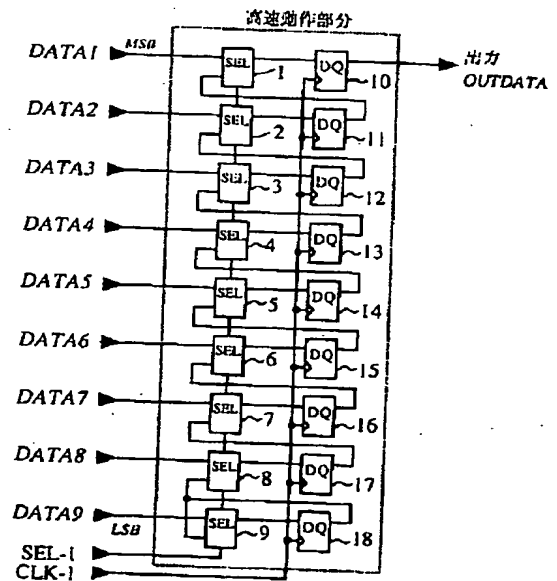
[図 4]



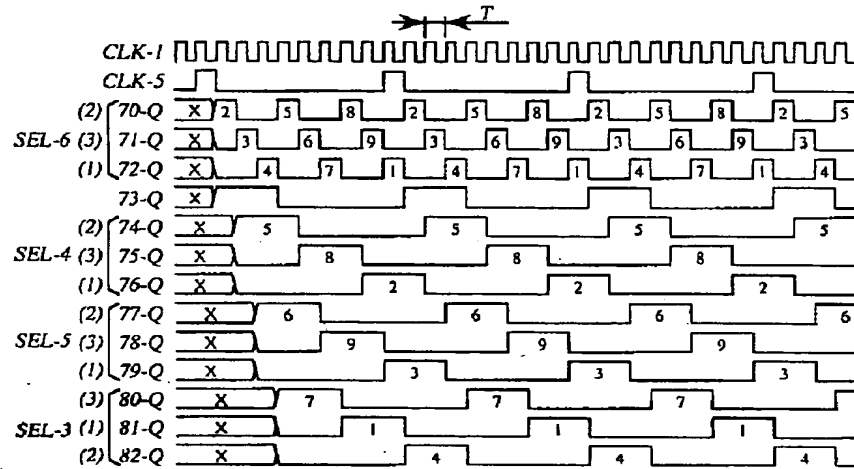
[図 5]



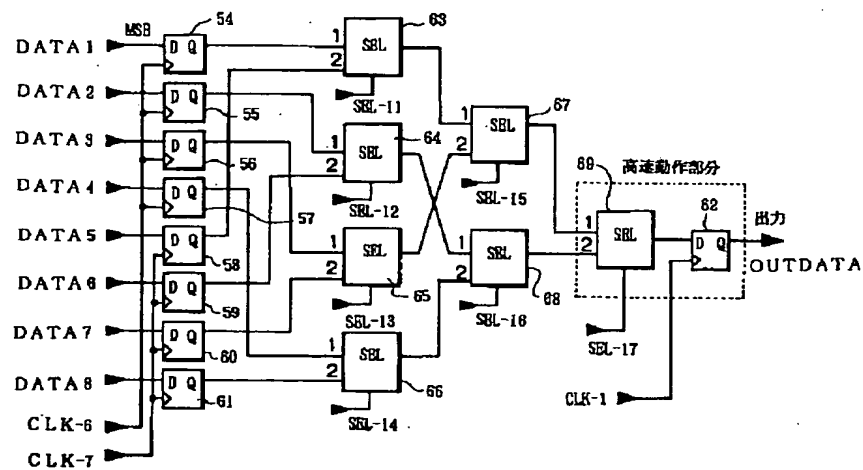
[図 11]



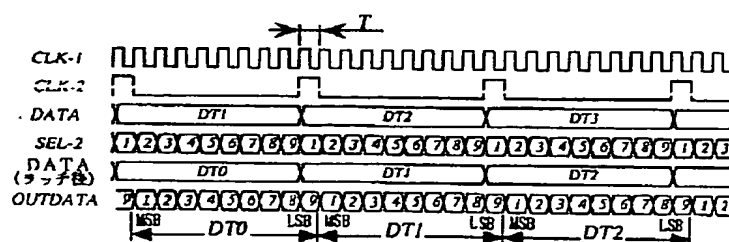
[図 6]



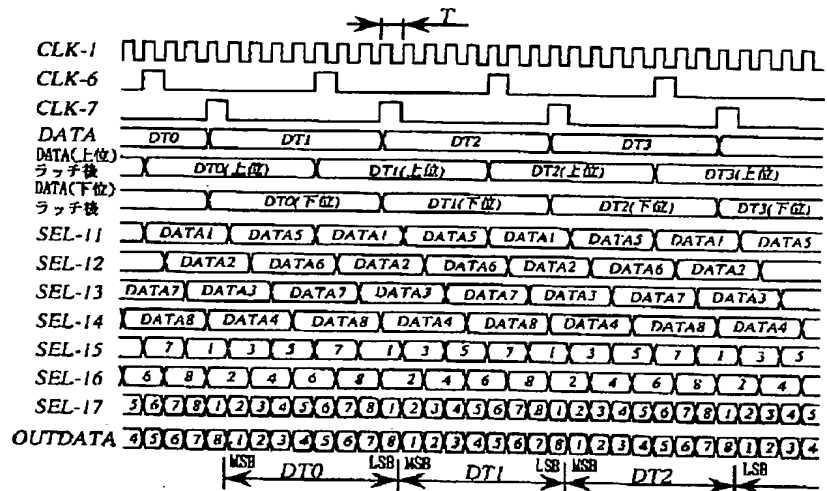
[図 7]



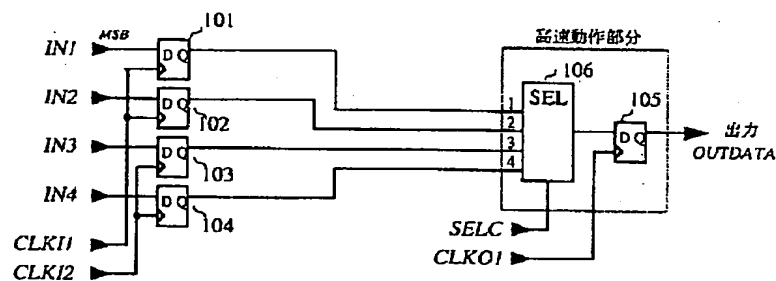
[図 14]



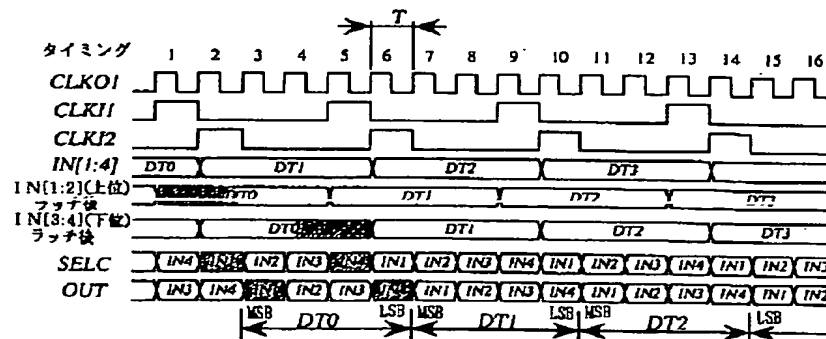
[図 8]



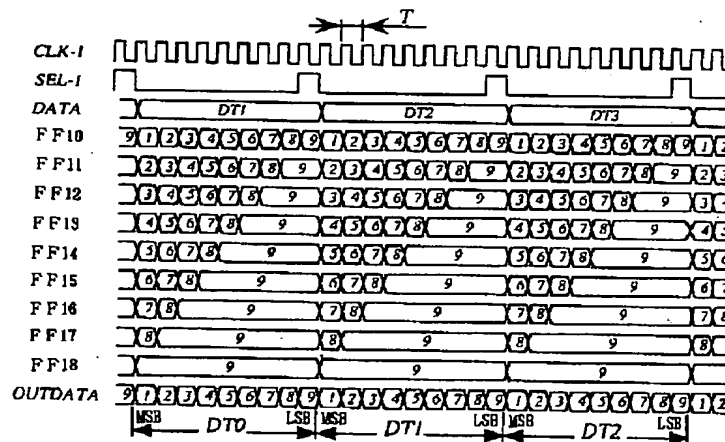
[図 9]



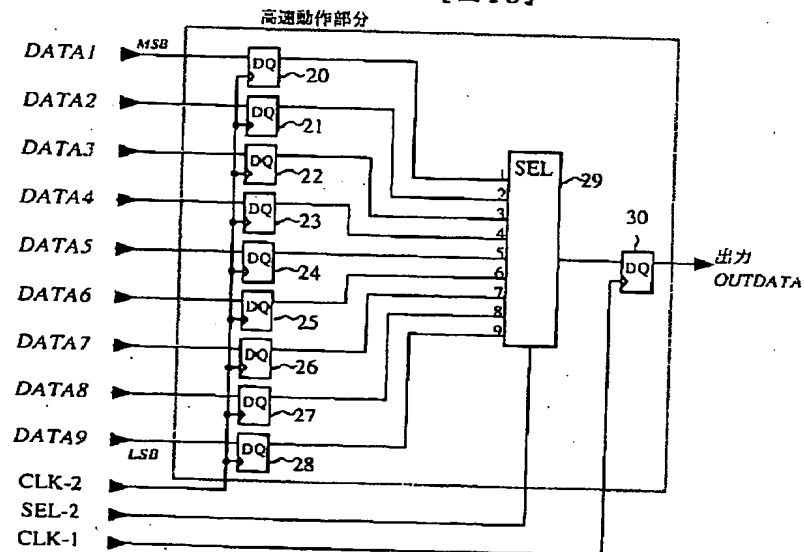
[図 10]



[図12]



[図13]



【手続補正書】

【提出日】平成7年11月21日

【手続補正1】

【補正対象書類名】図面

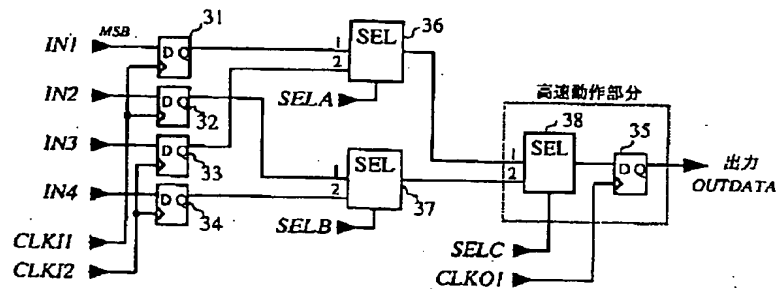
【補正対象項目名】全図

【補正方法】変更

【補正内容】

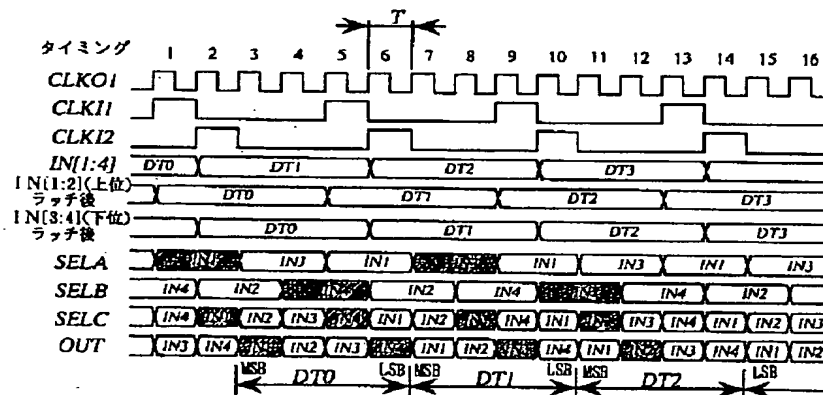
【図1】

【図1】



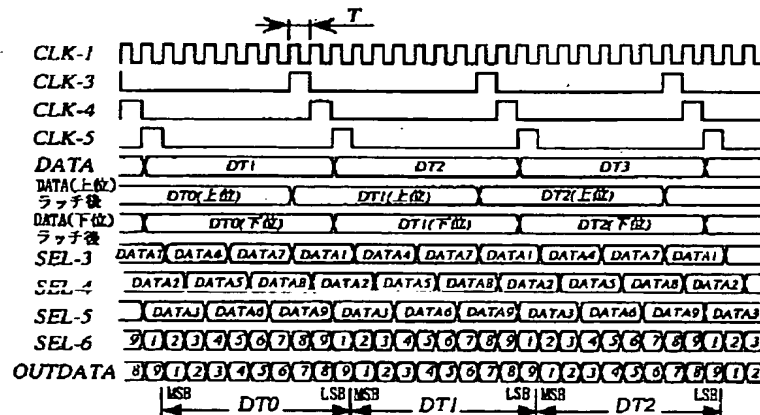
【図2】

【図2】



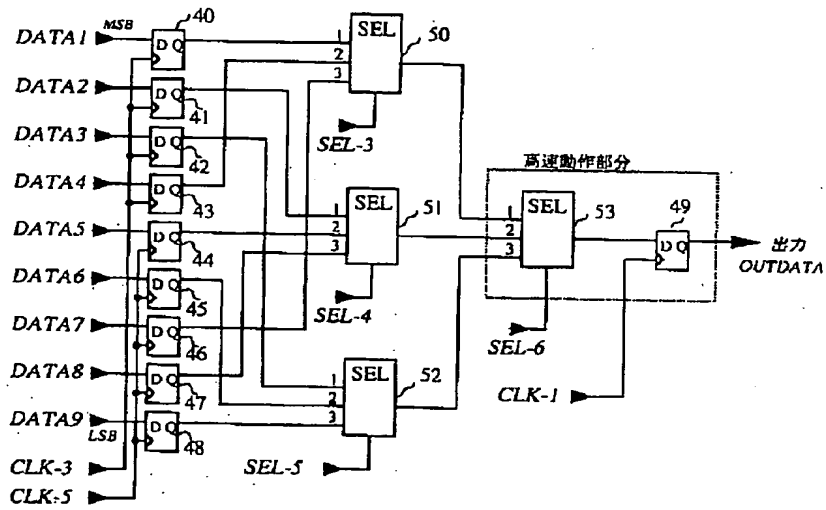
【図4】

【図4】



【図 3】

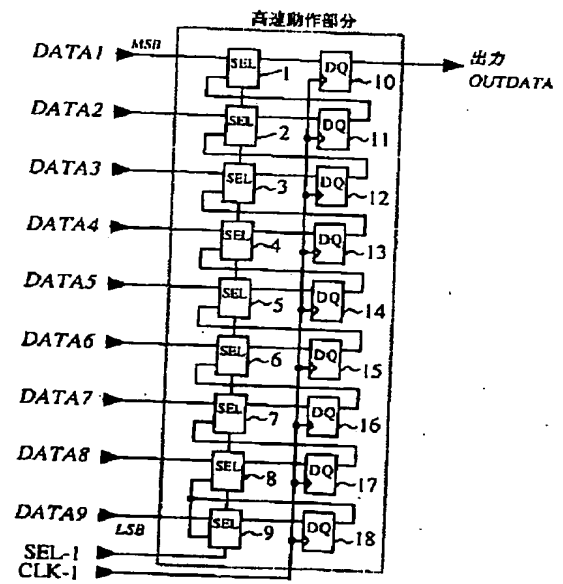
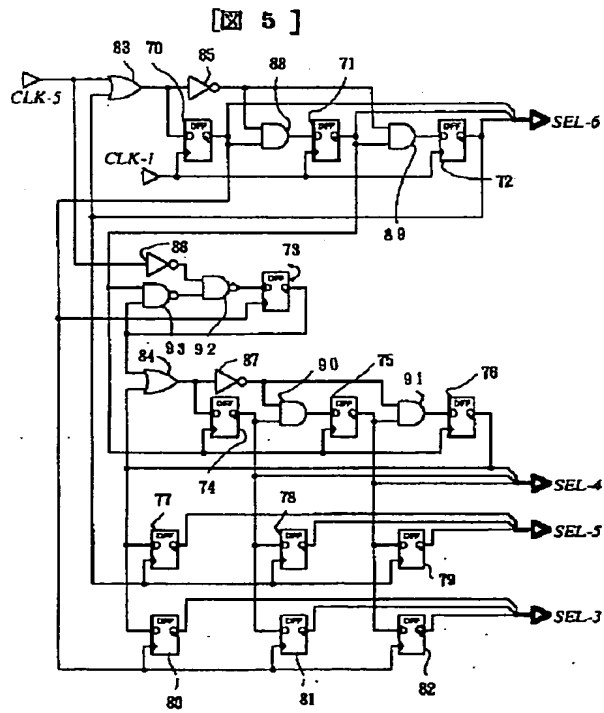
【図 3】



【図 5】

【図 11】

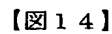
【図 11】



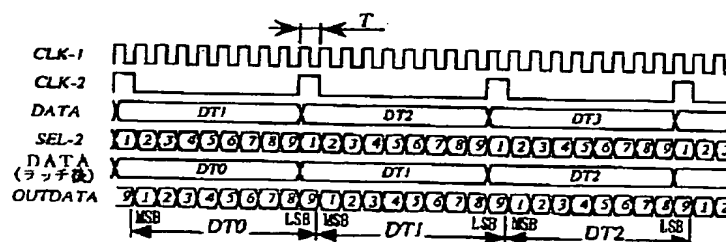
[ 8 ]



[X 7 ]



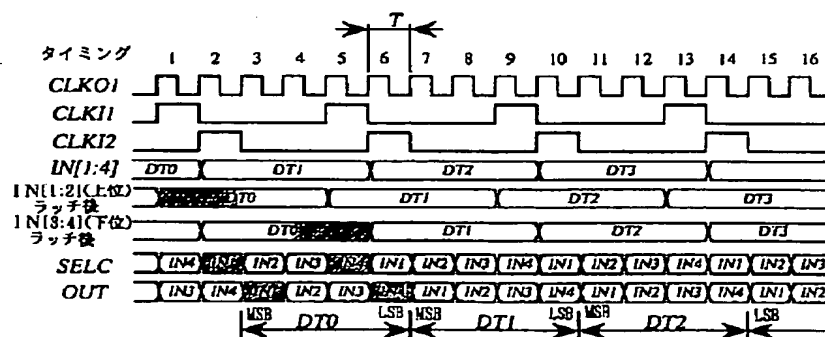
[X] 14]



[ 8 ]

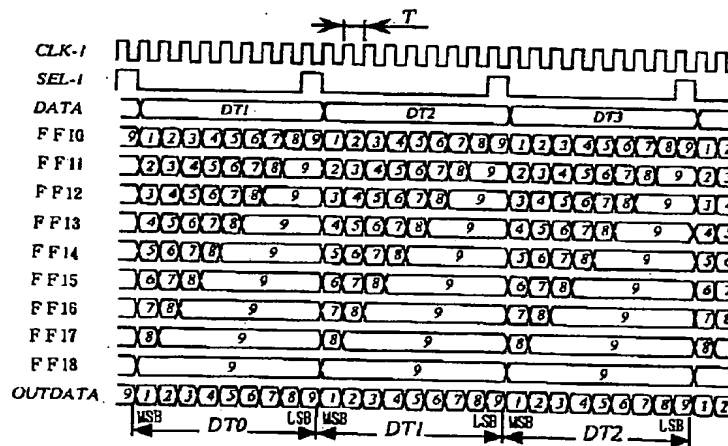


**[X] 10]**



【図12】

【図12】



【図13】

【図13】

